

Simulyzer-RT DIO-2 Karte



Hardware-Version	V1.0
Dokumentations-Version:	1.2
Erstellt:	(1.0) 24.01.2021
	(1.1) 10.10.2021 Unternehmensinformationen bearbeitet
	(1.2) 27.06.2023 Bestellnummer angepasst
Bestell Nr.:	20.3004

Sicherheitshinweise

Zur Vermeidung von Schäden an Personen und Gerät sind die Sicherheitshinweise zu beachten!

- Das Gerät darf nur von Fachpersonal gehandhabt werden!
- Vor jeder Handhabung am Gerät ist die Stromversorgung abzuschalten!
- Während des Betriebes ist das Gerät so aufzustellen, dass für ausreichende Belüftung gesorgt ist und keine Kleinteile auf die Baugruppe gelangen können!
- Bei Störungen ist das System sofort spannungsfrei zu schalten!
- Die angegebenen Umgebungsbedingungen und max. Spannungsbereiche sind einzuhalten!
- Zur Wartung des Gerätes muss regelmäßig Staub und Schmutz entfernt werden.

Bestimmungsgemäßer Gebrauch:

Die Simulyzer-RT DIO-2 Karte ist einzig zur Messung und Analyse von Sensoren eines Simulyzer RT-Prüfsystems konzipiert. Der Aufgabenbereich der DIO-2-Karte erstreckt sich auf den digitalen Datentransfer innerhalb des Testsystems (siehe Anwendungsbereiche).

- Das Gerät ist einzig für den bestimmungsgemäßen Gebrauch konzipiert, jegliche andere Nutzung führt zum Erlöschen der Garantie.

Bei Fragen und im Reparaturfall kontaktieren Sie bitte die SesKion GmbH
Tel.: +49 (0)711/990 58 14
Fax: +49 (0)711/990 58 27
Email: info@seskion.de
Internet: www.seskion.de

Inhaltsverzeichnis

Inhaltsverzeichnis	3
1. Technische Daten.....	4
2. Blockschaltbild.....	4
3. Anschlüsse:.....	5
4. Schnittstellen und FPGA:.....	5
5. Handhabung Karte/Chassis	5
6. Anwendungsbereiche – Betriebsarten.....	6
6.1. 16-fach Hochgeschwindigkeits Mess-Anwendung	6
6.2. 4-fach Abgleich-Anwendung	7
6.3. 16-fach Hochgeschwindigkeits Mess-Anwendung mit verschiedenen Sensoren	8
7. Messgenauigkeiten	9
7.1. Zeitbasis	9
7.2. Messungen der Versorgungs-Spannungen	9
7.3. Messungen der Versorgungs-Ströme	9
7.4. Erzeugung der Spannungen	9
8. Anschlussplan	10
9. Anschlussplan als 4x4 SPI Master Maschine	11
10. Anschlussplan SENT	12

Die Simulyzer-RT DIO-2 Karte ist eine Weiterentwicklung der Simulyzer-RT DIO-1 Karte in den Bereichen:

- Deutlich höhere FPGA Größe zur Umsetzung komplexerer Abläufe
 - Deutlich höhere Rechenleistung zur Messwert Vorverarbeitung;
- DIO-1: 100.000 Signalwerte/s**
DIO-2: 4.000.000 Signalwerte/s

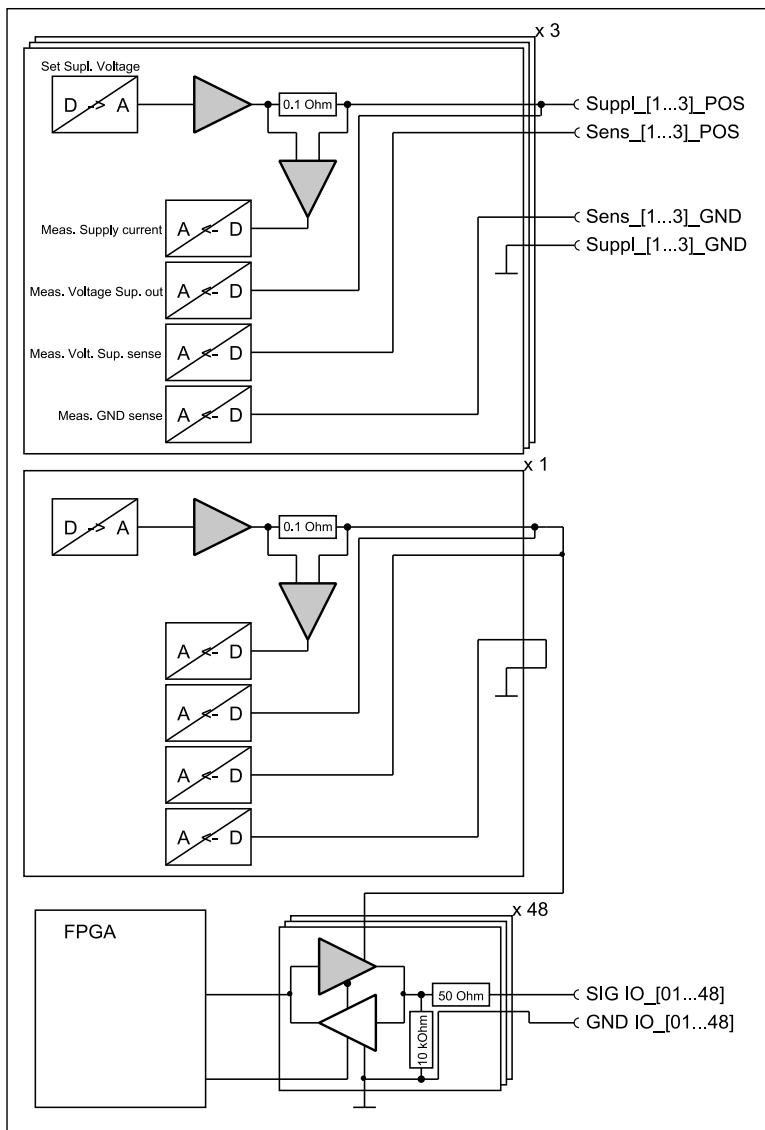
1. Technische Daten

- Stromverbrauch: 12V/0,8 A (ohne externen Verbraucher)
- Betriebstemperatur: 0°C ... 40°C
- Rel. Luftfeuchtigkeit: Max. 85% nicht kondensierend
- Gewicht: 190g
- Abmessungen: Einfaches Europa Format, 4 TE (Teileinheiten)

Testbedingung: Umgebungstemperatur 20°C bis 26°C

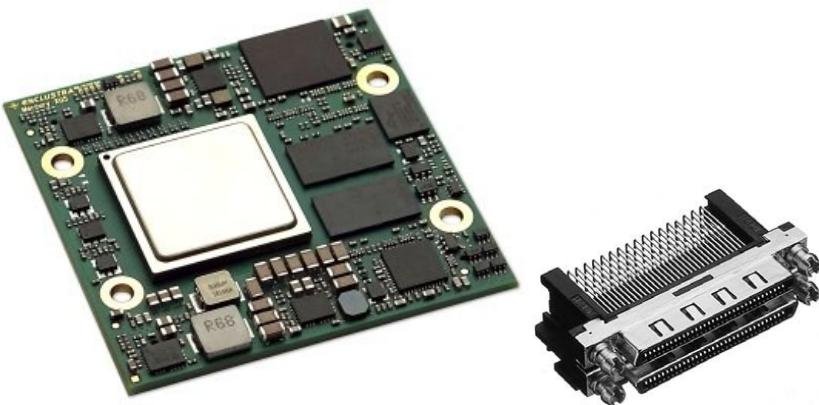
Num	Bewertung	Symbol	typ.	min.	max.	Bemerkung
1	Erlaubter Spannungsbereich	U_{supp}	12V	11.4V	12.6V	
2	Stromverbrauch	I_{supp}	650mA	-	800mA	ohne Sensorversorgung

2. Blockschaltbild



3. Anschlüsse:

- Für SPI, FAST-SO
- Anschlüsse zum Bus: 1 PCIe Lane zur CPU-1
Stromversorgung I2C
parallel zu allen Karten zur Synchronisation
- Anschlüsse Frontplatte: HDRA-E68W1LFDTC „Dual Stacking Connectors“ mit dig IO + Sensor Power



4. Schnittstellen und FPGA:

- Xilinx® Zynq® UltraScale+ MPSoC Module zur Realisierung von Protokollen. ARM® dual-/quad-core Cortex™-A53 (64 bit, up to 1500 MHz)
- 8 x SPI (MISO, MOSI, CS, CLK) + 16 Reserve DIG IO => 48 Pins
- 16xSPI (16xMISO, 16xMOSI, 8xCS, 8xCLK)/ 48 Pins
- Mit den 16 Reserve IO sind u.a. 4 x Fast-SO realisierbar
- Alle DIG IOs bidirektional, Pegel einstellbar von 1.2V bis 5.5V Betrieb; max. 20MHz
- 3x einstellbare PU Ausgänge,
0.5V bis 6.0V, +/- 0.1% vom Skalenendwert zur externen Versorgung der Sensoren,
Strombegrenzung 0..1000mA, +/- 0.1%.
1x einstellbarer PU Ausgang, 0.5V bis 6.0V, +/- 0.1% vom Skalenendwert,
Strombegrenzung 0..1000mA +/- 0.1%
für interne Treiber (+ extern)
- 50 Ohm oder 100 Ohm Impedanz Anpassung für Koaxial oder Twisted-Pair Leitungen
- Rückmessung der 4 PU Spannungen und der 4 Ströme. Genauigkeit: +/- 0.1% vom Skalen Endwert

5. Handhabung Karte/Chassis

Auf die korrekte Arretierung des Auswurfhebels der Steckkarten ist zu achten, da nur dann eine einwandfreie Kontaktierung zum Bus-System und der Spannungsversorgung gewährleistet ist!



Achtung
Das gewaltsame Einführen der Karte bei verschobener HF Dichtungsfeder führt zum Verbiegen der Feder und dadurch zu erhöhter Abstrahlung von HF Energie!

Die Einhaltung der EMV-Richtlinien wird nur bei intakter, nicht verbogener Feder gewährleistet!

6. Anwendungsbereiche – Betriebsarten

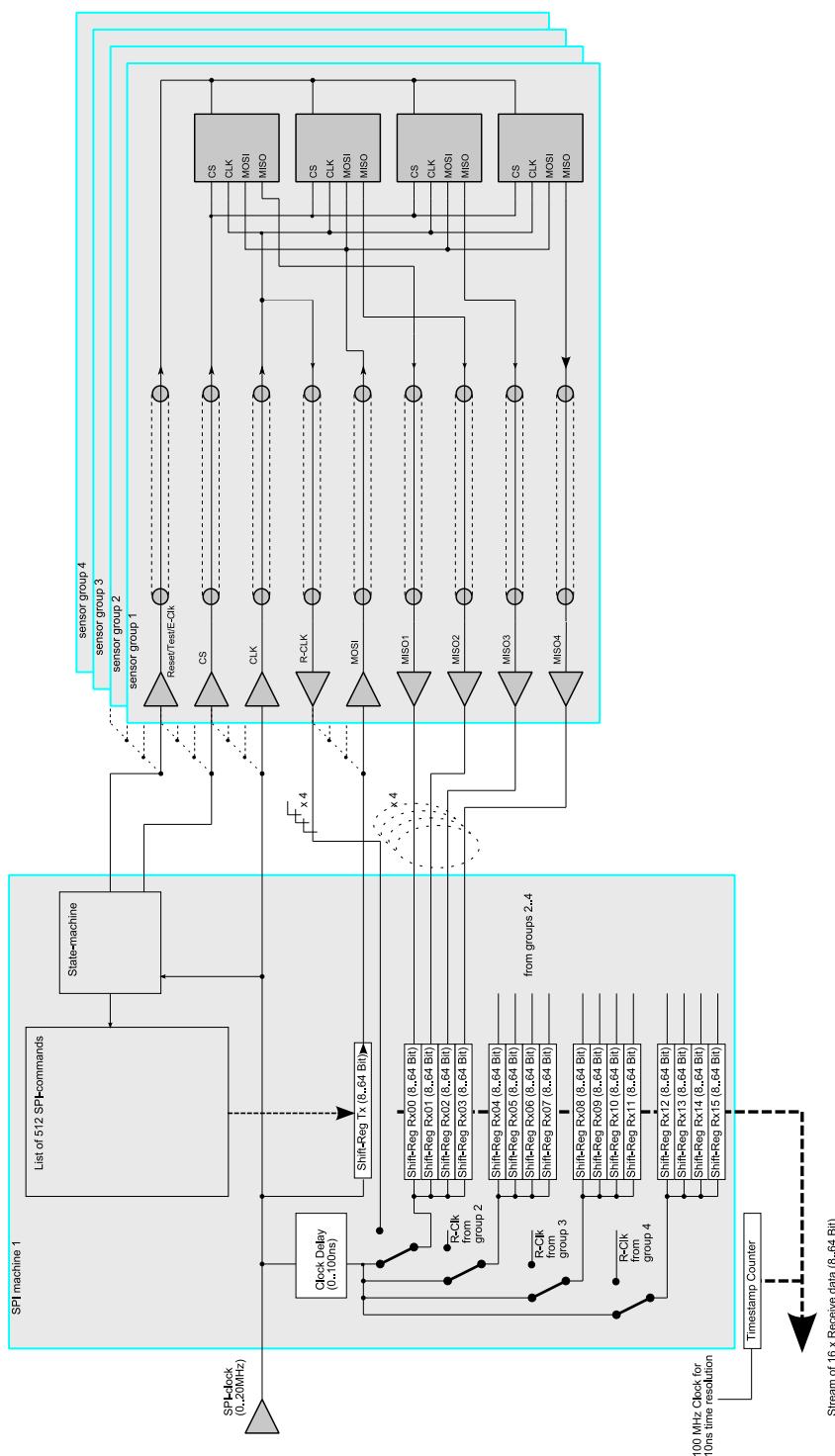
6.1. 16-fach Hochgeschwindigkeits Mess-Anwendung

Für die Anwendung einer 16-fach-parall Messtechnik ist im FPGA eine SPI-Maschine implementiert, die aus einem Sende-Schieberegister die Slave-In von 16 Sensoren gemeinsam ansteuert.

Chip-Select, Clock und eventuell Reset/Test werden ebenfalls gemeinsam angesteuert.

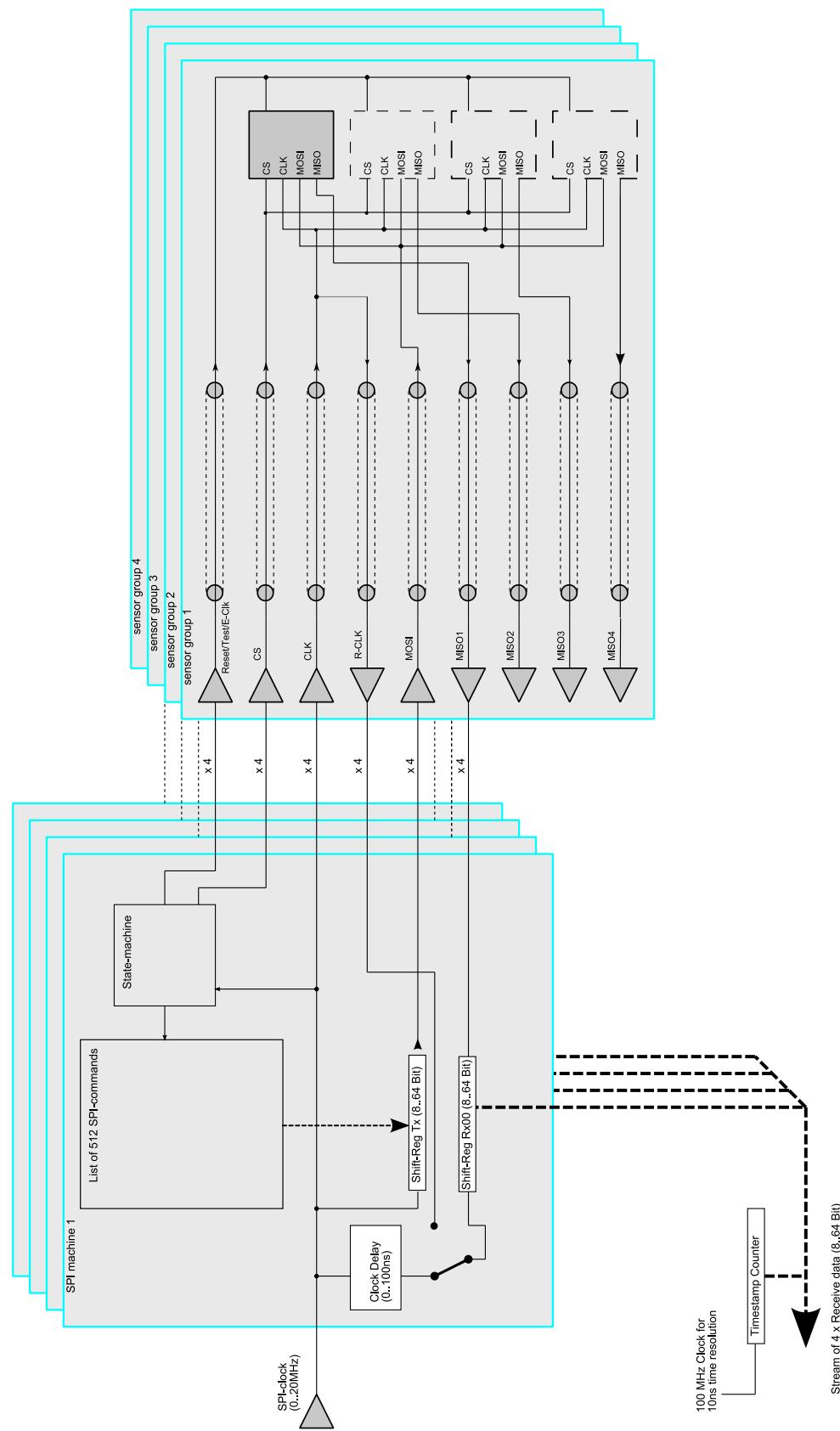
Individuell ausgeführt sind die 16 Slave-Out Leitungen, die auf 16 Empfangs Schieberegister gehen.

Die Befehle gehen absolut synchron zu allen 16 Sensoren, die Antworten werden individuell empfangen.



6.2. 4-fach Abgleich-Anwendung

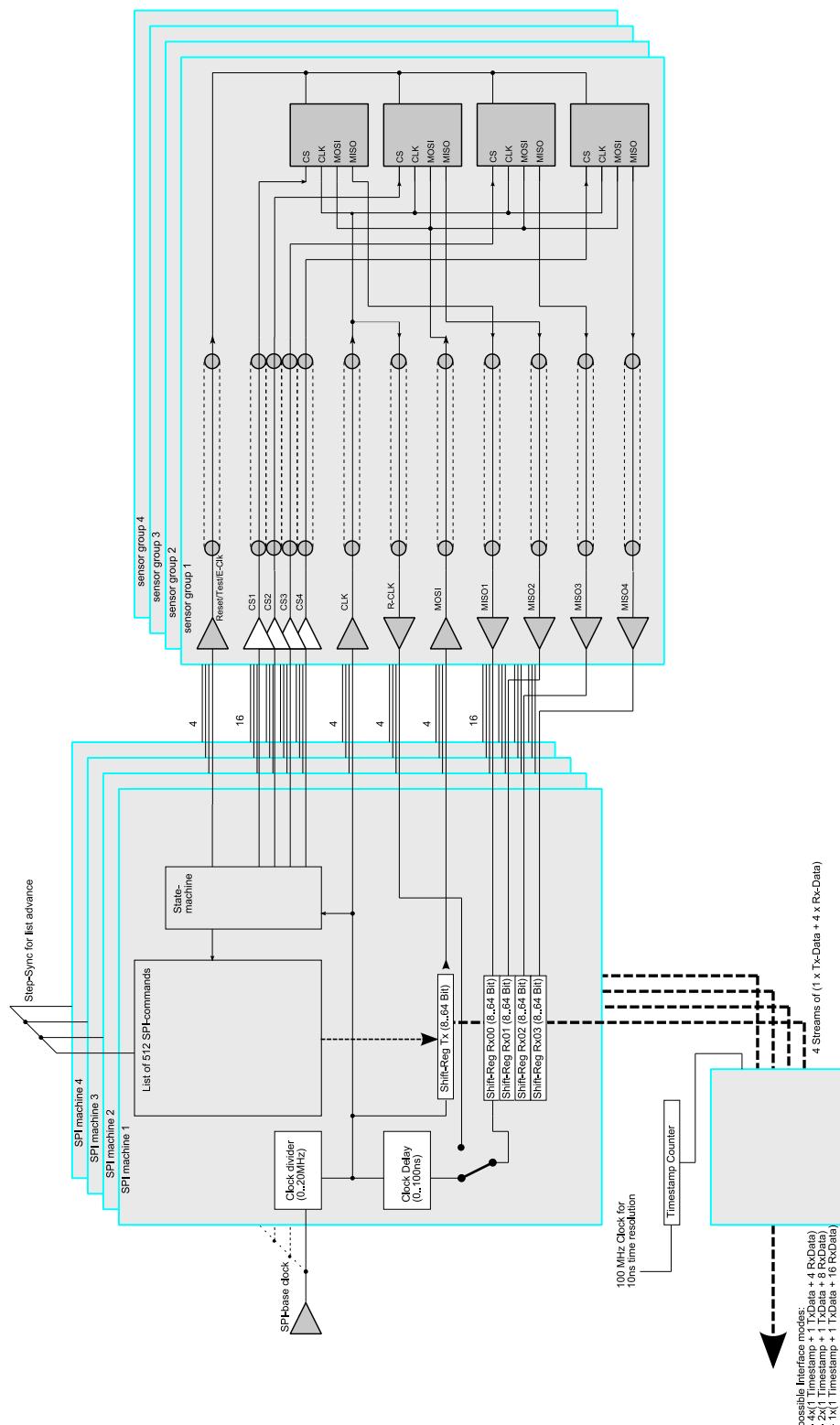
4 SPI Maschinen mit jeweils einem eigenen Sende- und Empfangs- Schieberegister.
 Jede SPI Maschine bedient den ersten Sensor jeder Vierfach-Gruppe.
 Die restlichen drei Sensoren jeder Gruppe bleiben unbestückt.



6.3. 16-fach Hochgeschwindigkeits Mess-Anwendung mit verschiedenen Sensoren

Im FPGA sind vier SPI-Maschinen implementiert, die jeweils aus ihren 4 Sende-Schieberegister die *Slave-In* von 4 Sensoren einer Gruppe gemeinsam ansteuern. *Clock* und eventuell *Reset/Test* werden ebenfalls gemeinsam angesteuert.

Individuell ausgeführt sind die 16 *Slave-Out* Leitungen, die auf jeweils 4 Empfangs Schieberegistern von 4 Gruppen gehen.



7. Messgenauigkeiten

7.1. Zeitbasis

Testbedingung: Umgebungstemperatur 20°C bis 26°C						
Num	Bewertung	Symbol	Typ	Max	Einheit	Bemerkung
1	Genauigkeit Zeitbasis	$\Delta f/f$	± 30	± 50	ppm	-
2	Alterung der Zeitbasis	$\Delta f/f_A$	± 5		ppm/Jahr	-
3	Temperaturdrift der Zeitbasis	$\Delta f/f_T$	± 0.3	± 0.7	ppm/°C	-

7.2. Messungen der Versorgungs-Spannungen

Testbedingung: Umgebungstemperatur 20°C bis 26°C						
Num	Bewertung	Symbol	Typ	Max	Einheit	Bemerkung
4	Genauigkeit der gemessenen Spannung	U_{mea}	± 0.3	± 0.4	% vom SkEw. 7.5V	Im Bereich 0.5V .. 6.0V
5	Alterung der gemessenen Spannungen	U_{A-me}		± 0.1	%/Jahr	Im Bereich 0.5V .. 6.0V
6	Auflösung der gemessenen Spannungen		16		Bit	0.. 65535
			0.1144409		mV/LSB	

7.3. Messungen der Versorgungs-Ströme

Testbedingung: Umgebungstemperatur 20°C bis 26°C						
Num	Bewertung	Symbol	Typ	Max	Einheit	Bemerkung
7	Genauigkeit des gemessenen Stroms	I_{mea}	± 0.3	± 0.4	% vom SkEw. 1000mA	Im Bereich 2mA .. 900mA
8	Alterung des gemessenen Stroms	I_{A-me}		± 0.1	% vom SkEw. 1000mA / Jahr	Im Bereich 2mA .. 900mA
9	Auflösung des gemessenen Stroms		16		Bit	0.. 65535
			15,2587891		$\mu A/LSB$	

7.4. Erzeugung der Spannungen

Testbedingung: Umgebungstemperatur 20°C bis 26°C						
Num	Bewertung	Symbol	Typ	Max	Einheit	Bemerkung
10	Genauigkeit der erzeugten Spannung	U_{mea}	± 0.3	± 0.4	% vom SkEw. 6.3V	Im Bereich 0.5V .. 6.0V
11	Alterung der erzeugten Spannungen	U_{mea}		± 0.1	% vom SkEw. 6.3V / Jahr	Im Bereich 0.5V .. 6.0V
12	Auflösung der erzeugten Spannungen		16		Bit	0.. 65535
			0,096130371		mV/LSB	

8. Anschlussplan

Pin	Paar	Belegung Stecker 1 (Rand)
1	1	GND
35		Sig_IO 01
2	2	GND
36		Sig_IO 02
3	3	GND
37		Sig_IO 03
4	4	GND
38		Sig_IO 04
5	5	GND
39		Sig_IO 05
6	6	GND
40		Sig_IO 06
7	7	GND
41		Sig_IO 07
8	8	GND
42		Sig_IO 08
9	9	GND
43		Sig_IO 09
10	10	GND
44		Sig_IO 10
11	11	GND
45		Sig_IO 11
12	12	GND
46		Sig_IO 12
13	13	GND
47		Sig_IO 13
14	14	GND
48		Sig_IO 14
15	15	GND
49		Sig_IO 15
16	16	GND
50		Sig_IO 16
17	17	GND
51		Sig_IO 17
18	18	GND
52		Sig_IO 18
19	19	GND
53		Sig_IO 19
20	20	GND
54		Sig_IO 20
21	21	GND
55		Sig_IO 21
22	22	GND
56		Sig_IO 22
23	23	GND
57		Sig_IO 23
24	24	GND
58		Sig_IO 24
25	25	GND
59		+VCC1
26	26	GND
60		+VCC1
27	27	GND
61		+VCC1
28	28	GND
62		Sense VCC1
29	29	GND
63		Sense GND1
30	30	GND
64		+VCC2
31	31	GND
65		+VCC2
32	32	GND
66		+VCC2
33	33	GND
67		Sense VCC2
34	34	GND
68		Sense GND2

Pin	Paar	Belegung Stecker 2 (innen)
1	1	GND
35		Sig_IO 25
2	2	GND
36		Sig_IO 26
3	3	GND
37		Sig_IO 27
4	4	GND
38		Sig_IO 28
5	5	GND
39		Sig_IO 29
6	6	GND
40		Sig_IO 30
7	7	GND
41		Sig_IO 31
8	8	GND
42		Sig_IO 32
9	9	GND
43		Sig_IO 33
10	10	GND
44		Sig_IO 34
11	11	GND
45		Sig_IO 35
12	12	GND
46		Sig_IO 36
13	13	GND
47		Sig_IO 37
14	14	GND
48		Sig_IO 38
15	15	GND
49		Sig_IO 39
16	16	GND
50		Sig_IO 40
17	17	GND
51		Sig_IO 41
18	18	GND
52		Sig_IO 42
19	19	GND
53		Sig_IO 43
20	20	GND
54		Sig_IO 44
21	21	GND
55		Sig_IO 45
22	22	GND
56		Sig_IO 46
23	23	GND
57		Sig_IO 47
24	24	GND
58		Sig_IO 48
25	25	GND
59		+VCC3
26	26	GND
60		+VCC3
27	27	GND
61		+VCC3
28	28	GND
62		Sense VCC3
29	29	GND
63		Sense GND3
30	30	GND
64		+VCC4
31	31	GND
65		+VCC4
32	32	GND
66		+VCC4
33	33	GND
67		Sense VCC2
34	34	GND
68		GND

9. Anschlussplan als 4x4 SPI Master Maschine

Pin	Paar	Belegung Stecker 1 (Rand)
1	1	GND
35		CLK_G1
2	2	GND
36		R_CLK_G1
3	3	GND
37		MOSI_G1
4	4	GND
38		RES_TEST_E_G1
5	5	GND
39		CS_G1_S1
6	6	GND
40		CS_G1_S2
7	7	GND
41		CS_G1_S3
8	8	GND
42		CS_G1_S4
9	9	GND
43		MISO_G1_S1
10	10	GND
44		MISO_G1_S2
11	11	GND
45		MISO_G1_S3
12	12	GND
46		MISO_G1_S4
13	13	GND
47		CLK_G2
14	14	GND
48		R_CLK_G2
15	15	GND
49		MOSI_G2
16	16	GND
50		RES_TEST_E_G2
17	17	GND
51		CS_G2_S1
18	18	GND
52		CS_G2_S2
19	19	GND
53		CS_G2_S3
20	20	GND
54		CS_G2_S4
21	21	GND
55		MISO_G2_S1
22	22	GND
56		MISO_G2_S2
23	23	GND
57		MISO_G2_S3
24	24	GND
58		MISO_G2_S4
25	25	GND
59		+VCC1
26	26	GND
60		+VCC1
27	27	GND
61		+VCC1
28	28	GND
62		Sense VCC1
29	29	GND
63		Sense GND1
30	30	GND
64		+VCC2
31	31	GND
65		+VCC2
32	32	GND
66		+VCC2
33	33	GND
67		Sense VCC2
34	34	GND
68		Sense GND2

Pin	Paar	Belegung Stecker 2 (innen)
1	1	GND
35		CLK_G3
2	2	GND
36		R_CLK_G3
3	3	GND
37		MOSI_G3
4	4	GND
38		RES_TEST_E_G3
5	5	GND
39		CS_G3_S1
6	6	GND
40		CS_G3_S2
7	7	GND
41		CS_G3_S3
8	8	GND
42		CS_G3_S4
9	9	GND
43		MISO_G3_S1
10	10	GND
44		MISO_G3_S2
11	11	GND
45		MISO_G3_S3
12	12	GND
46		MISO_G3_S4
13	13	GND
47		CLK_G4
14	14	GND
48		R_CLK_G4
15	15	GND
49		MOSI_G4
16	16	GND
50		RES_TEST_E_G4
17	17	GND
51		CS_G4_S1
18	18	GND
52		CS_G4_S2
19	19	GND
53		CS_G4_S3
20	20	GND
54		CS_G4_S4
21	21	GND
55		MISO_G4_S1
22	22	GND
56		MISO_G4_S2
23	23	GND
57		MISO_G4_S3
24	24	GND
58		MISO_G4_S4
25	25	GND
59		+VCC3
26	26	GND
60		+VCC3
27	27	GND
61		+VCC3
28	28	GND
62		Sense VCC3
29	29	GND
63		Sense GND3
30	30	GND
64		+VCC4
31	31	GND
65		+VCC4
32	32	GND
66		+VCC4
33	33	GND
67		GND
34	34	GND
68		GND

10. Anschlussplan SENT

Pin	Paar	Belegung Stecker 1 (Rand)
1	1	GND
35		SENT 01
2	2	GND
36		SENT 02
3	3	GND
37		SENT 03
4	4	GND
38		SENT 04
5	5	GND
39		SENT 05
6	6	GND
40		SENT 06
7	7	GND
41		SENT 07
8	8	GND
42		SENT 08
9	9	GND
43		SENT 09
10	10	GND
44		SENT 10
11	11	GND
45		SENT 11
12	12	GND
46		SENT 12
13	13	GND
47		SENT 13
14	14	GND
48		SENT 14
15	15	GND
49		SENT 15
16	16	GND
50		SENT 16
17	17	GND
51		SENT 17
18	18	GND
52		SENT 18
19	19	GND
53		S_0
20	20	GND
54		S_1
21	21	GND
55		S_2
22	22	GND
56		S_3
23	23	GND
57		
24	24	GND
58		External SampleEnable
25	25	GND
59		+VCC1
26	26	GND
60		+VCC1
27	27	GND
61		+VCC1
28	28	GND
62		Sense VCC1
29	29	GND
63		Sense GND1
30	30	GND
64		+VCC2
31	31	GND
65		+VCC2
32	32	GND
66		+VCC2
33	33	GND
67		Sense VCC2
34	34	GND
68		Sense GND2

Pin	Paar	Belegung Stecker 2 (innen)
1	1	GND
35		SENT 19
2	2	GND
36		SENT 20
3	3	GND
37		SENT 21
4	4	GND
38		SENT 22
5	5	GND
39		SENT 23
6	6	GND
40		SENT24
7	7	GND
41		SENT 25
8	8	GND
42		SENT 26
9	9	GND
43		SENT 27
10	10	GND
44		SENT 28
11	11	GND
45		SENT 29
12	12	GND
46		SENT 30
13	13	GND
47		SENT 31
14	14	GND
48		SENT 32
15	15	GND
49		SENT 33
16	16	GND
50		SENT 34
17	17	GND
51		SENT 35
18	18	GND
52		SENT 36
19	19	GND
53		S_0
20	20	GND
54		S_1
21	21	GND
55		S_2
22	22	GND
56		S_3
23	23	GND
57		
24	24	GND
58		External SampleEnable
25	25	GND
59		+VCC3
26	26	GND
60		+VCC3
27	27	GND
61		+VCC3
28	28	GND
62		Sense VCC3
29	29	GND
63		Sense GND3
30	30	GND
64		+VCC4
31	31	GND
65		+VCC4
32	32	GND
66		+VCC4
33	33	GND
67		
34	34	GND
68		